

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-055130
(43)Date of publication of application : 20.02.2002

(51)Int.CI.

G01R 23/15
G06F 1/04
H03K 5/19

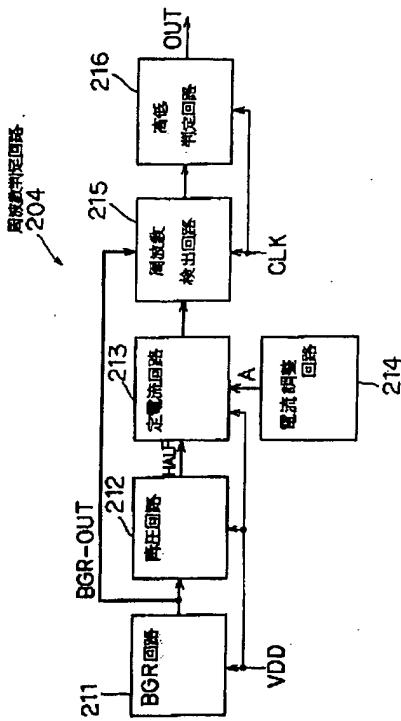
(21)Application number : 2000-245837 (71)Applicant : NEC MICROSYSTEMS LTD
(22)Date of filing : 14.08.2000 (72)Inventor : SAITO HIROFUMI

(54) FREQUENCY JUDGMENT CIRCUIT AND DATA PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To precisely judge whether the frequency of a clock signal is higher than a reference frequency or not.

SOLUTION: A capacitor element charges/discharges a power source voltage turned on/off responding to the clock signal by a switching transistor, and a comparator circuit compares a constant reference voltage generated from the power source voltage by a BGR circuit 211 with the retaining voltage by the capacitor element. Since a level judgment circuit 216 judges whether the signal frequency of the clock signal is higher than a prescribed reference frequency or not, it can be precisely judged whether the frequency of the clock signal is low or high.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号 /

特開2002-55130

(P2002-55130A)

(43)公開日 平成14年2月20日(2002.2.20)

(51) Int.Cl.⁷
G 0 1 R 23/15

G 0 6 F 1/04
H 0 3 K 5/19

識別記号
3 0 2

F I
G 0 1 R 23/15

G 0 6 F 1/04
H 0 3 K 5/19

テ-マコト⁷ (参考)
C 5 J 0 3 9
Z
3 0 2 Z
B

審査請求 有 請求項の数 7 O L (全 9 頁)

(21)出願番号 特願2000-245837(P2000-245837)

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(22)出願日 平成12年8月14日(2000.8.14)

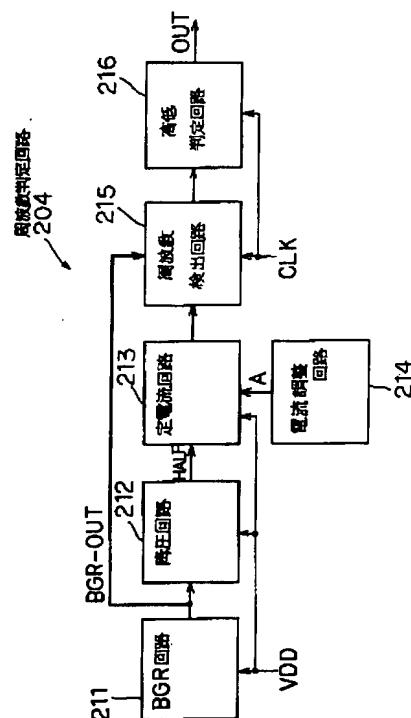
(72)発明者 齊藤 浩文
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内
(74)代理人 100088328
弁理士 金田 嘉之 (外2名)
F ターム(参考) 5J039 HH05 HH09 HH14 KK16 KK17
KK18 KK20 MM01 MM02 MM11

(54)【発明の名称】 周波数判定回路、データ処理装置

(57)【要約】

【課題】 クロック信号が基準周波数より高周波か低周波かを高精度に判定する。

【解決手段】 スイッチングトランジスタによりクロック信号に対応してオン／オフされる電源電圧をコンデンサ素子が充／放電し、B G R回路211が電源電圧から生成する一定の基準電圧とコンデンサ素子の保持電圧とをコンパレータ回路が比較する。このコンパレータ回路の出力信号からクロック信号の信号周波数が所定の基準周波数より高周波か低周波かを高低判定回路216が判定するので、クロック信号が低周波か高周波かを高精度に判定できる。



【特許請求の範囲】

【請求項1】 外部入力される電源電圧から一定の基準電圧を生成するBGR(Band Gap Regulator)回路と、前記電源電圧の充電と放電とを繰り返すコンデンサ素子と、

このコンデンサ素子の充電と放電とを外部入力されるクロック信号に対応して実行させるスイッチングトランジスタと、

前記コンデンサ素子の保持電圧と前記BGR回路の基準電圧とを比較するコンパレータ回路と、

このコンパレータ回路の出力信号から前記クロック信号の信号周波数が所定の基準周波数より高周波か低周波かを判定する高低判定回路と、を具備している周波数判定回路。

【請求項2】 前記BGR回路の基準電圧に対応して前記電源電圧の電流を一定として前記コンデンサ素子に供給する定電流回路も具備している請求項1に記載の周波数判定回路。

【請求項3】 前記BGR回路から前記定電流回路に供給される前記基準電圧を所定電圧まで降圧する降圧回路も具備している請求項2に記載の周波数判定回路。

【請求項4】 前記定電流回路の電流を調整する電流調整回路も具備している請求項2または3に記載の周波数判定回路。

【請求項5】 請求項1ないし4の何れか一項に記載の周波数判定回路と、この周波数判定回路に外部入力される前記電源電圧を発生する電圧発生手段と、

前記周波数判定回路に外部入力される前記クロック信号を発生するクロック発生手段と、

このクロック発生手段が発生するクロック信号と前記電圧発生手段が発生する電源電圧とが外部入力されてデータ処理を実行するデータ処理回路と、

このデータ処理回路の動作を前記周波数判定回路の判定結果に対応して規制する動作制御手段と、を具備しているデータ処理装置。

【請求項6】 前記周波数判定回路は、前記クロック信号の信号周波数が所定の上限周波数より上昇したことを判定する一個と所定の下限周波数より下降したことを判定する一個からなり、

前記動作制御手段は、前記クロック信号の信号周波数が前記上限周波数より上昇したときも前記下限周波数より下降したときも前記データ処理回路の動作を規制する請求項6に記載のデータ処理装置。

【請求項7】 前記周波数判定回路は、前記クロック信号の信号周波数が基準周波数より高周波か低周波かをロ一時間から判定する一個とハイ時間から判定する一個からなり、

前記動作制御手段は、前記クロック信号の信号周波数が基準周波数を超過したことがロー時間とハイ時間との一方からでも判定されると前記データ処理回路の動作を規

制する請求項6に記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック信号の信号周波数が所定の基準周波数より高周波か低周波かを判定する周波数判定回路、この周波数判定回路の判定結果に対応してデータ処理回路の動作を規制するデータ処理装置、に関する。

【0002】

10 【従来の技術】現在、各種のデータ処理装置が各種の用途に利用されており、このようなデータ処理装置では内蔵したデータ処理回路で各種のデータ処理を実行している。このデータ処理装置は一般的にクロック信号に対応してデータ処理を実行するので、そのクロック信号の信号周波数が許容範囲を逸脱すると誤動作等を発生することがある。

【0003】そこで、クロック信号の信号周波数が許容範囲を逸脱する以前にデータ処理回路を停止させるために周波数判定回路を搭載し、この周波数判定回路でクロック信号の信号周波数が所定の基準周波数より高周波か低周波かを判定するデータ処理装置もある。

【0004】上述のような周波数判定回路は、例えば、特開平10-288635号公報や特開平11-134605号公報などに開示されている。そこで、特開平10-288635号公報に記載の周波数判定回路を一従来例として図9および図10を参照して以下に説明する。

【0005】この周波数判定回路100は、図9に示すように、電源電圧が外部入力される電源端子101、クロック信号が外部入力されるクロック端子102、接地電位に維持される接地端子103、を具備しており、これらがスイッチングトランジスタ104に接続されている。

【0006】より詳細には、スイッチングトランジスタ104のゲート電極にクロック端子102が接続されており、ソース電極に電源端子101が接続されている。スイッチングトランジスタ104のドレイン電極には抵抗素子105とコンデンサ素子106とインバータゲート107とが並列に接続されており、その抵抗素子105とコンデンサ素子106との他端が接地端子103に接続されている。

【0007】つまり、抵抗素子105とコンデンサ素子106とで遅延回路が形成されており、コンデンサ素子106は所定の時定数に対応して電源電圧の充電と放電とを繰り返す。また、インバータゲート107は所定の閾値電圧Vthを発生し、この閾値電圧Vthより入力電圧が高圧か低圧かで二値出力が切り替わる。

【0008】上述のような構造の周波数判定回路100は、外部入力されるクロック信号の信号周波数が所定の基準周波数より高周波か低周波かを判定する。より詳細

には、クロック信号によりスイッチングトランジスタ104がオンとなると電源電圧がコンデンサ素子106に充電されてオフになると放電される。

【0009】このコンデンサ素子106の保持電位がインバータゲート107の入力電圧となるので、コンデンサ素子106の保持電位がインバータゲート107の閾値電圧V_{th}より高圧か低圧かで二値出力が切り替わる。ただし、前述のようにコンデンサ素子106は所定の時定数に対応して電源電圧の充電と放電とを繰り返すので、図10に示すように、クロック信号の信号周波数が所定の基準周波数より低周波であるとコンデンサ素子106の保持電位はインバータゲート107の閾値電圧より高圧と低圧とに変化するが、クロック信号が基準周波数より高周波であるとコンデンサ素子106の保持電位はインバータゲート107の閾値電圧より高圧の状態に維持される。

【0010】従って、クロック信号の信号周波数が基準周波数より低周波であるとインバータゲート107の二値出力は周期的に切り替わるが、高周波であると一方に固定される。このため、この周波数判定回路100の二値出力を所定回路(図示せず)で監視することにより、クロック信号が基準周波数より低周波であるか高周波であるかを判定することが可能となる。

【0011】

【発明が解決しようとする課題】上述のような周波数判定回路100は、クロック信号に同期して所定の時定数で電源電圧の充電と放電とを繰り返すコンデンサ素子106の保持電位をインバータゲート107の閾値電圧と比較するので、クロック信号が基準周波数より低周波か高周波かを判定することができる。

【0012】しかし、上述のような周波数判定回路100では電源電圧が変動することがあるが、このように電源電圧が変動するとインバータゲート107の閾値電圧も変動するので、クロック信号が低周波か高周波かを判定する精度が低下することになる。

【0013】さらに、上述のような周波数判定回路100では周囲温度が変動してもインバータゲート107の閾値電圧が変動して判定精度が低下することになり、抵抗素子104とコンデンサ素子106との製造誤差による時定数の変動でも判定精度が低下することになる。

【0014】本発明は上述のような課題に鑑みてなされたものであり、電源電圧や周囲温度が変動してもクロック信号の判定精度が低下しない周波数判定回路、この周波数判定回路の判定結果に対応してデータ処理回路の動作を規制するデータ処理装置、の少なくとも一方を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明の周波数判定回路は、BGR回路、コンデンサ素子、スイッチングトランジスタ、コンパレータ回路、高低判定回路、を具備して

おり、電源電圧とクロック信号とが外部入力される。

【0016】そこで、本発明の周波数判定回路では、コンデンサ素子に供給される電源電圧をスイッチングトランジスタがクロック信号に対応してオン／オフするので、これでコンデンサ素子は電源電圧をクロック信号に対応して充電および放電する。BGR回路は外部入力される電源電圧から一定の基準電圧を生成し、このBGR回路の基準電圧とコンデンサ素子の保持電圧とをコンパレータ回路が比較する。このコンパレータ回路の出力信号10号からクロック信号の信号周波数が所定の基準周波数より高周波か低周波かを高低判定回路が判定するので、電源電圧や周囲温度の変動により閾値電圧が変動するインバータ素子を使用することなくクロック信号が低周波か高周波かが判定される。

【0017】また、本発明の周波数判定回路の他の形態では、コンデンサ素子に供給される電源電圧の電流量を定電流回路がBGR回路の基準電圧に対応して一定とするので、定電流からなる電源電圧をコンデンサ素子が充電する速度が一定とされる。

【0018】さらに、本発明の他の形態では、BGR回路から定電流回路に供給される基準電圧を降圧回路が所定電圧まで降圧するので、定電流回路の最低動作電圧の範囲が拡大される。

【0019】さらに、本発明の他の形態では、定電流回路の電流量を電流調整回路が調整するので、製造誤差などによる定電流回路の出力誤差が電流調整回路により調整される。

【0020】本発明のデータ処理装置は、電圧発生手段、クロック発生手段、データ処理回路、動作制御手段、本発明の周波数判定回路、を具備している。そこで、本発明の第一のデータ処理装置では、電圧発生手段が電源電圧を発生するとともに、クロック発生手段がクロック信号を発生し、電源電圧とクロック信号とが外部入力されるデータ処理回路がデータ処理を実行する。ただし、電源電圧とクロック信号とは本発明の周波数判定回路にも外部入力されるので、この周波数判定回路によりクロック信号が所定の基準周波数より高周波か低周波かが判定される。この判定結果に対応して動作制御手段がデータ処理回路の動作を規制するので、例えば、クロック信号の信号周波数が基準周波数を超過したときにデータ処理回路が停止される。

【0021】なお、本発明の第二のデータ処理装置では、クロック信号は内部発生されることなくクロック入力端子から外部入力される。また、上述のような基準周波数は、例えば、データ処理回路が誤動作を発生しない限界の所定周波数として設定される。

【0022】また、本発明のデータ処理装置の他の形態では、周波数判定回路が二個であり、その一方はクロック信号の信号周波数が所定の上限周波数より上昇したこととを判定し、他方は所定の下限周波数より下降したこと

を判定する。動作制御手段は、クロック信号の信号周波数が上限周波数より上昇したときも下限周波数より下降したときもデータ処理回路の動作を規制するので、クロック信号の信号周波数が正常範囲を逸脱するとデータ処理回路の動作が規制される。

【0023】また、本発明のデータ処理装置の他の形態では、二個の周波数判定回路の一方はクロック信号の信号周波数が基準周波数を超過したことをロー時間から判定し、他方はハイ時間から判定する。動作制御手段は、ロー時間とハイ時間から判定されるクロック信号の信号周波数が一方でも基準周波数を超過するとデータ処理回路の動作を規制するので、クロック信号のデューティが正常範囲を逸脱するとデータ処理回路の動作が規制される。

【0024】なお、本発明で云う各種手段は、その機能を実現するように形成されれば良く、例えば、専用のハードウェア、適正な機能がプログラムにより付与されたコンピュータ、適正なプログラムによりコンピュータの内部に実現された機能、これらの組み合わせ、等を許容する。

【0025】

【発明の実施の形態】本発明の実施の一形態を図1ないし図8を参照して以下に説明する。ただし、本実施の形態に関して前述した一従来例と同一の部分は、同一の名称を使用して詳細な説明は省略する。

【0026】本実施の形態のデータ処理装置200は、図2に示すように、電圧発生手段である電源回路201、クロック発生手段であるクロック発生回路202、データ処理回路203、周波数判定回路204、動作制御回路205、を具備しており、データ処理回路203により所定のデータ処理を実行する。

【0027】電源回路201は、例えば、給電端子を具備しており、電源電圧VDDを発生して各種回路202～205に供給する。クロック発生回路202は、例えば、水晶発振器(図示せず)を具備しており、信号周波数が所定範囲に規定されているクロック信号CLKを発生し、このクロック信号CLKをデータ処理回路203と周波数判定回路204とに供給する。

【0028】データ処理回路203は、例えば、所定の処理プログラムが実装されたマイクロコンピュータからなり、電源電圧VDDとクロック信号CLKとが外部入力される。このデータ処理回路203は、処理データが外部入力されると所定のデータ処理を実行し、その処理結果である処理データを外部出力する。

【0029】周波数判定回路204は所定のハードウェアからなり、クロック信号CLKが基準周波数より高周波か低周波かを判定する。データ処理回路203も所定のハードウェアからなり、クロック信号CLKが基準周波数より高周波となつたことを周波数判定回路204が判定すると、この判定結果に対応してデータ処理回路2

03の動作を一時停止させる。

【0030】上述のように動作する本実施の形態の周波数判定回路204は、図1に示すように、BGR回路211、降圧回路212、定電流回路213、電流調整回路214、周波数検出回路215、高低判定回路216、を具備している。

【0031】BGR回路211は、図3に示すように、第一から第五のトランジスタ素子221～225、第一および第二の抵抗素子226、227、ダイオード228、を具備しており、外部入力される電源電圧VDDから一定の基準電圧BGR_OUTを生成する。

【0032】より具体的には、BGR回路211はカレントミラー回路からなり、出力端子に接続されている第二の抵抗素子227とダイオード228との温度特性が相殺され、かつ、電源電圧VDDに対する依存性が低い。なお、一般的にBGR回路211は出力電圧が1.3(V)程度のときに温度依存性および電源依存性が最少になるので、本実施の形態でもBGR回路211約1.3(V)の基準電圧BGR_OUTを生成するように形成されている。

【0033】降圧回路212は、図4に示すように、差動増幅器231、トランジスタ素子232、一対の抵抗素子233、234、を具備しており、BGR回路211から供給される基準電圧BGR_OUTを所定電圧まで降圧する。より具体的には、本実施の形態では、抵抗素子233、234の抵抗値R3、R4を同一にしてあるので、降圧回路212は約1.3(V)の基準電圧BGR_OUTが半分の約0.65(V)の第二の基準電圧HALFまで降圧される。

【0034】定電流回路213は、図5に示すように、差動増幅器241、第一から第三のトランジスタ素子242～244、可変抵抗245、を具備しており、降圧回路212から供給される第二の基準電圧HALFに対応して、外部入力される電源電圧VDDを一定の電流量I2として外部出力する。

【0035】より具体的には、第二のトランジスタ素子243から可変抵抗245まで通電される電源電圧VDDの電流量I1は、第二の基準電圧HALFと可変抵抗245の抵抗値R5により“ $I_1 = HALF / R5$ ”となり、第三のトランジスタ素子244から周波数検出回路215まで通電される電源電圧VDDの電流量I2は、第二／第三のトランジスタ素子243、244からなるカレントミラー回路の比率で電流量I1に対応して一定となる。

【0036】電流調整回路214は、例えば、EEPROM(Electrically Erasable Programmable Read Only Memory)を具備しており(図示せず)、その設定データに対応して可変抵抗245の抵抗値R5を可変することにより、定電流回路213が出力する電源電圧VDDを所定の電流量に調整する。

【0037】周波数検出回路215は、図6に示すように、コンデンサ素子251、スイッチングトランジスタ252、コンパレータ回路253、を具備しており、定電流回路213により電流量が一定とされた電源電圧VDDをコンデンサ素子251で充電する。

【0038】ただし、スイッチングトランジスタ252は、コンデンサ素子251に供給される電源電圧VDDを外部入力されるクロック信号CLKに対応してオン／オフするので、コンデンサ素子251は電源電圧VDDの供給がスイッチングトランジスタ252によりオンされたときは充電した電圧を放電する。

【0039】なお、上述のようにクロック信号に同期して実行されるコンデンサ素子251の充電と放電とは所定の時定数に対応して実行されるので、図8(a)に示すように、クロック信号CLKの信号周波数が所定の基準周波数より低周波の場合には、同図(b)に示すように、コンデンサ素子251の保持電位はBGR回路211の基準電圧BGR_OUTより低圧の状態と高圧の状態とに変化するが、クロック信号CLKの信号周波数が基準周波数より高周波の場合には、コンデンサ素子251の保持電位はBGR回路211の基準電圧BGR_OUTより低圧の状態に維持される。

【0040】コンパレータ回路253は、BGR回路211の基準電圧BGR_OUTとコンデンサ素子251の保持電圧とを比較するが、上述のようにコンデンサ素子251の保持電位はクロック信号CLKの信号周波数の高低に対応してBGR回路211の基準電圧BGR_OUTより高低に変化する状態と低圧に維持される状態とに変化するので、同図(c)に示すように、これに対応してコンパレータ回路253の二値出力COMP0Aも変化する。

【0041】高低判定回路216は、図7に示すように、インバータゲート261とバイナリカウンタ262、263とを具備しており、図8(d)～(f)に示すように、クロック信号CLKの信号周波数が基準周波数より高周波か低周波かを判定し、その判定結果OUTを動作制御回路205に出力する。

【0042】上述のような構成において、本実施の形態のデータ処理装置200では、電源回路201が電源電圧VDDを発生するとともに、クロック発生回路202がクロック信号CLKを発生し、これら電源電圧VDDとクロック信号CLKとが外部入力されるデータ処理回路203が所定のデータ処理を実行する。

【0043】ただし、電源電圧VDDとクロック信号CLKとは周波数判定回路204にも外部入力されるので、この周波数判定回路204によりクロック信号CLKの信号周波数が基準周波数より高周波か低周波かが常時判定され、クロック信号CLKが基準周波数より高周波となると動作制御回路205がデータ処理回路203を停止させる。

【0044】より詳細には、本実施の形態の周波数判定回路204では、BGR回路211が外部入力される電源電圧VDDから約1.3(V)の基準電圧BGR_OUTを生成するので、この基準電圧BGR_OUTを降圧回路212が約0.65(V)の第二の基準電圧HALFまで降圧する。

【0045】すると、この第二の基準電圧HALFに対応して定電流回路213が外部入力される電源電圧VDDの電流量を一定として周波数検出回路215に供給するので、この周波数検出回路215では、電流量が一定とされた電源電圧VDDがコンデンサ素子251により充電されるが、このコンデンサ素子251に供給される電源電圧VDDをスイッチングトランジスタ252が外部入力されるクロック信号CLKに対応してオン／オフする。

【0046】このため、図8(a)に示すように、クロック信号CLKの信号周波数が所定の基準周波数より低周波の場合には、同図(b)に示すように、コンデンサ素子251の保持電位はBGR回路211の基準電圧BGR_OUTより低圧の状態と高圧の状態とに変化するが、クロック信号CLKの信号周波数が基準周波数より高周波の場合には、コンデンサ素子251の保持電位はBGR回路211の基準電圧BGR_OUTより低圧の状態に維持される。

【0047】そして、このように変化するコンデンサ素子251の保持電圧とBGR回路211の基準電圧BGR_OUTとがコンパレータ回路253で比較され、同図(c)に示すように、このコンパレータ回路253の二値出力COMP0Aが高低判定回路216に供給される。

【0048】この高低判定回路216では、同図(d)～(f)に示すように、クロック信号CLKの信号周波数が基準周波数より高周波か低周波かが判定され、その判定結果OUTが動作制御回路205に出力される。そこで、この動作制御回路205は、高低判定回路216の判定結果OUTによりクロック信号CLKの信号周波数が基準周波数より高周波となったことを検知するとデータ処理回路203を停止させ、例えば、クロック信号CLKが基準周波数より低周波に復帰するとデータ処理回路203の動作を再開させる。

【0049】本実施の形態のデータ処理装置200は、上述のようにクロック信号CLKの信号周波数が基準周波数より高周波となったことを周波数判定回路204で判定することができ、この判定結果に対応してデータ処理回路203の動作を一時停止させるので、クロック信号が異常に高周波であることによるデータ処理回路203の誤動作を防止することができる。

【0050】しかも、本実施の形態の周波数判定回路204では、BGR回路211により電源電圧VDDから生成する一定の基準電圧BGR_OUTと、クロック信

号CLKに同期して電源電圧の充電と放電とを繰り返すコンデンサ素子251の保持電圧と、をコンパレータ回路253で比較することで、クロック信号CLKの信号周波数が基準周波数より高周波か低周波かを判定することができる。

【0051】このため、電源電圧VDDや周囲温度の変動により閾値電圧が変動するインバータ素子を使用することなくクロック信号CLKが低周波か高周波かを判定することができ、クロック信号CLKの高低を電源電圧や周囲温度が変動しても高精度に判定することができる。

【0052】しかも、コンデンサ素子251に供給される電源電圧VDDの電流量を定電流回路213がBGR回路211の基準電圧BGR_OUTに対応して一定とするので、定電流からなる電源電圧VDDをコンデンサ素子251が充電する速度が一定とすることができる、さらに判定精度を向上させることができる。

【0053】さらに、定電流回路213の電流量を電流調整回路214が調整するので、製造誤差などによる定電流回路213の出力誤差も電流調整回路214により調整することができ、より判定精度を向上させることができる。しかも、BGR回路211から定電流回路213に供給される基準電圧BGR_OUTを降圧回路212が所定電圧まで降圧するので、定電流回路213の最低動作電圧の範囲を拡大することができる。

【0054】なお、本発明は上記形態に限定されるものではなく、その要旨を逸脱しない範囲で各種の変形を許容する。例えば、上記形態ではデータ処理装置200が一個の周波数判定回路204によりクロック信号CLKの信号周波数が所定の上限周波数より上昇したことを判定し、これが判定されると動作制御回路205によりデータ処理回路203を一時停止させることを例示した。

【0055】しかし、このような周波数判定回路204によりクロック信号CLKの信号周波数が所定の下限周波数より下降したことを判定し、動作制御回路205によりデータ処理回路203を一時停止させることも可能である。さらに、二個の周波数判定回路によりクロック信号CLKが上限周波数より上昇したことと下限周波数より下降したことを判定し、これらの両方で動作制御回路205によりデータ処理回路203を一時停止させることも可能である。

【0056】また、上記形態ではクロック信号CLKの信号周波数が基準周波数を超過したことをロー時間から判定することを例示したが、例えば、ハイ時間から判定することも可能である。さらに、二個の周波数判定回路によりクロック信号の信号周波数が基準周波数を超過したことをロー時間とハイ時間から個々に判定することにより、クロック信号のデューティ比が正常範囲を逸脱したときに動作制御回路205によりデータ処理回路203を停止させることも可能である。

【0057】また、上記形態では電圧発生手段として電源電圧を内部発生する電源回路201がデータ処理装置200に内蔵されていることを例示したが、例えば、電源電圧が外部入力される電圧入力端子を電圧発生手段としてデータ処理装置200に形成することも可能である。

【0058】同様に、上記形態ではクロック発生手段としてクロック信号を内部発生するクロック発生回路202がデータ処理装置200に内蔵されていることを例示したが、例えば、クロック信号が外部入力されるクロック入力端子をクロック発生手段としてデータ処理装置200に形成することも可能である。

【0059】

【発明の効果】本発明の周波数判定回路では、コンデンサ素子に供給される電源電圧をスイッチングトランジスタがクロック信号に対応してオン／オフするので、これでコンデンサ素子は電源電圧をクロック信号に対応して充電および放電し、BGR回路は外部入力される電源電圧から一定の基準電圧を生成し、このBGR回路の基準電圧とコンデンサ素子の保持電圧とをコンパレータ回路が比較し、このコンパレータ回路の出力信号からクロック信号の信号周波数が所定の基準周波数より高周波か低周波かを高低判定回路が判定することにより、電源電圧や周囲温度が変動してもクロック信号が低周波か高周波かを高精度に判定することができる。

【0060】また、コンデンサ素子に供給される電源電圧の電流量を定電流回路がBGR回路の基準電圧に対応して一定とすることにより、電源電圧をコンデンサ素子が充電する速度を一定とすることができるので、クロック信号が低周波か高周波かを判定する精度を向上させることができる。

【0061】また、BGR回路から定電流回路に供給される基準電圧を降圧回路が所定電圧まで降圧することにより、定電流回路の最低動作電圧の範囲を拡大することができる。

【0062】また、定電流回路の電流量を電流調整回路が調整することにより、製造誤差などによる定電流回路の出力誤差を電流調整回路により調整することができ、さらにクロック信号が低周波か高周波かを判定する精度を向上させることができる。

【0063】本発明の第一のデータ処理装置では、電圧発生手段が電源電圧を発生するとともに、クロック発生手段がクロック信号を発生し、電源電圧とクロック信号とが外部入力されるデータ処理回路がデータ処理を実行し、周波数判定回路によりクロック信号が基準周波数より高周波か低周波かを判定し、この判定結果に対応して動作制御手段がデータ処理回路の動作を規制することにより、例えば、クロック信号の信号周波数が異常となつたときにデータ処理回路を停止させるようなことができる。

【0064】本発明の第二のデータ処理装置では、電圧発生手段が電源電圧を発生するとともに、クロック入力端子にクロック信号が外部入力され、電源電圧とクロック信号とが外部入力されるデータ処理回路がデータ処理を実行し、周波数判定回路によりクロック信号が基準周波数より高周波か低周波かを判定し、この判定結果に対応して動作制御手段がデータ処理回路の動作を規制することにより、例えば、クロック信号の信号周波数が異常となったときにデータ処理回路を停止させるようなことができる。

【0065】また、本発明のデータ処理装置の他の形態では、周波数判定回路が二個であり、その一方はクロック信号の信号周波数が所定の上限周波数より上昇したことを判定し、他方は所定の下限周波数より下降したことを判定し、動作制御手段は、クロック信号の信号周波数が上限周波数より上昇したときも下限周波数より下降したときもデータ処理回路の動作を規制することにより、例えば、クロック信号の信号周波数が正常範囲を逸脱したときにデータ処理回路を停止させるようなことができる。

【0066】また、二個の周波数判定回路の一方はクロック信号の信号周波数が基準周波数を超過したことをロ一時間から判定し、他方はハイ時間から判定し、動作制御手段は、ロ一時間とハイ時間から判定されるクロック信号の信号周波数が一方でも基準周波数を超過するとデータ処理回路の動作を規制することにより、例えば、クロック信号のデューティ比が正常範囲を逸脱したときにデータ処理回路を停止させるようなことができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の周波数判定回路の内部構造を示すブロック図である。

【図2】データ処理装置の内部構造を示すブロック図である。

【図3】BGR回路の内部構造を示す回路図である。

【図4】降圧回路の内部構造を示す回路図である。

【図5】定電流回路の内部構造を示す回路図である。

【図6】周波数検出回路の内部構造を示す回路図である。

10 【図7】高低判定回路の内部構造を示す回路図である。

【図8】周波数判定回路の各部の信号波形を示すタイムチャートである。

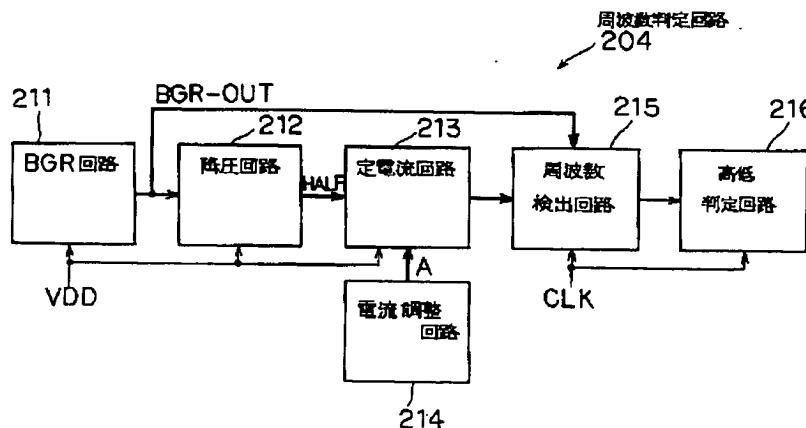
【図9】一従来例の周波数判定回路の内部構造を示す回路図である。

【図10】一従来例の周波数判定回路の各部の信号波形を示すタイムチャートである。

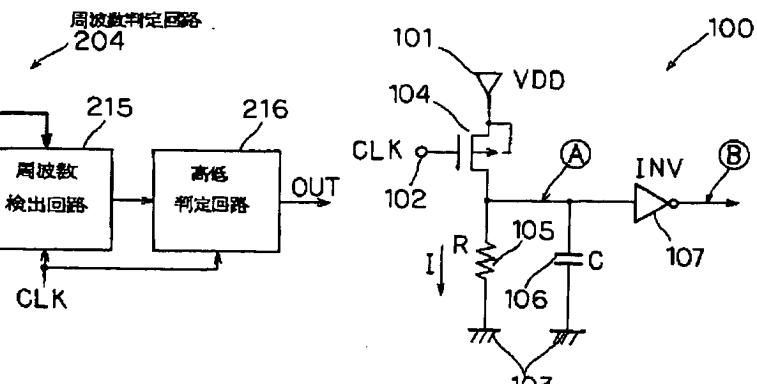
【符号の説明】

200	データ処理装置
201	電圧発生手段である電源回路
202	クロック発生手段であるクロック発生回路
203	データ処理回路
204	周波数判定回路
205	動作制御手段である動作制御回路
211	BGR回路
212	降圧回路
213	定電流回路
214	電流調整回路
215	周波数検出回路
216	高低判定回路
217	VDD
218	CLK
219	OUT

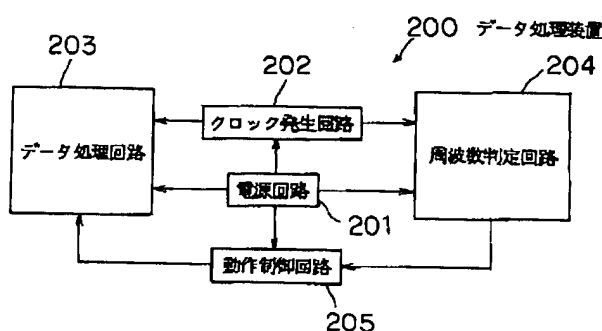
【図1】



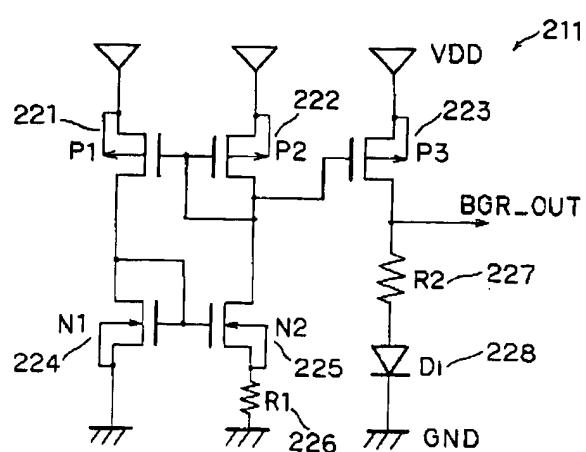
【図9】



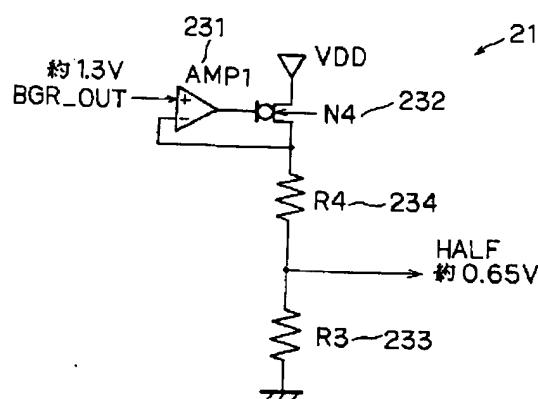
【図2】



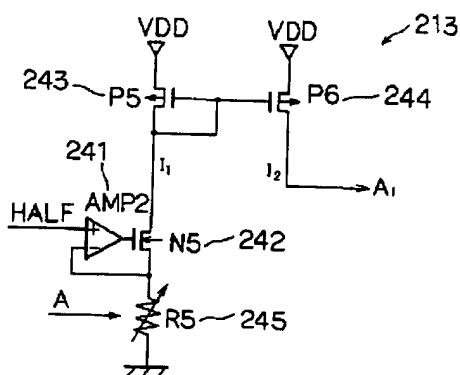
【図3】



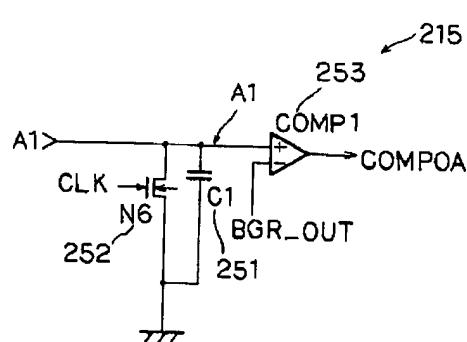
【図4】



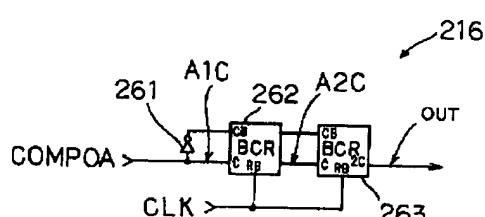
【図5】



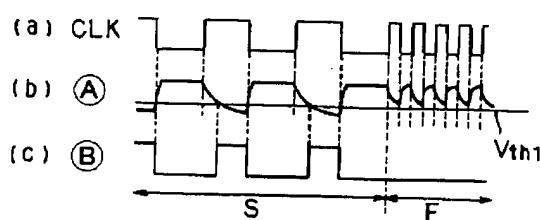
【図6】



【図7】



【図10】



【図8】

